

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-058919
 (43)Date of publication of application : 25.02.2000

(51)Int.Cl. H01L 33/00

H01S 5/30

(21)Application number : 10-229082

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.08.1998

(72)Inventor : SASANUMA KATSUNOBU

JOHN RENNIE

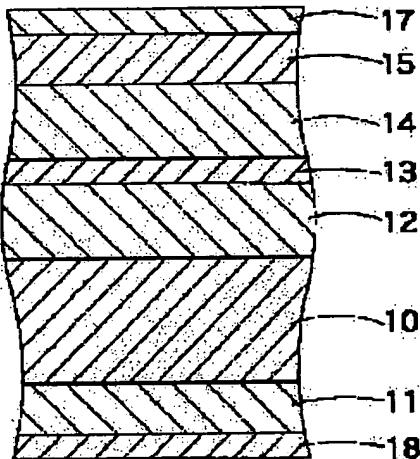
SAITO SHINJI

(54) SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To manufacture a semiconductor element that has high carrier density, low contact resistance to a p-side electrode, and high reliability by providing a fluorine compound on the surface of a III-V group compound semiconductor, by performing heat treatment, and by preventing the reduction of the concentration of hydrogen and the loss of nitrogen or the like.

SOLUTION: First, a GaN substrate 10 is washed and arranged on a susceptor in the reaction container of an MOCVD device. Then, each of layers 11-15 of a nitride semiconductor is allowed to grow. A fluorine compound layer is formed. By a sputter device, for example, magnesium fluoride (MgF₂) is deposited. After that, a wafer is taken out of the sputter device, is arranged in an annealing device, is heat-treated in a nitrogen atmosphere, and is cooled. Temperature for heat treatment is preferably set to 300°C. Then, the fluorine compound layer is eliminated. A p-side electrode 17 and an n-side electrode 18 are formed, thus obtaining superior ohmic characteristics by providing each electrode.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-58919

(P2000-58919A)

(43)公開日 平成12年2月25日 (2000.2.25)

(51)Int.Cl'

H01L 33/00

H01S 5/30

識別記号

F I

テーマコード(参考)

H01L 33/00

H01S 3/18

C 5 F 0 4 1

5 F 0 7 3

審査請求 未請求 請求項の数4 OL (全10頁)

(21)出願番号 特願平10-229082

(22)出願日 平成10年8月13日 (1998.8.13)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 笹沼克信

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(72)発明者 ジョン・レニー

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(74)代理人 100064285

弁理士 佐藤一雄 (外3名)

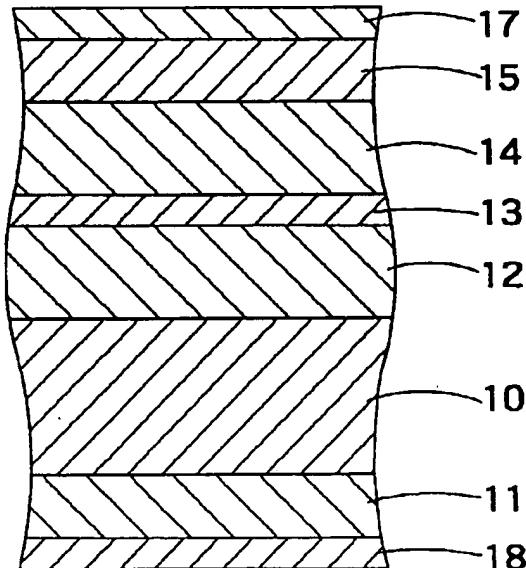
最終頁に続く

(54)【発明の名称】 半導体素子及びその製造方法

(57)【要約】

【課題】 GaNなどの各種のIII-V族化合物半導体において、含有する水素の濃度を低減し、インジウムやガリウムなどのIII族元素や、窒素などのV族元素の欠損を低減し、高いキャリア密度を有し、p側電極との間で低い接触抵抗を有し、高信頼性を持つ半導体素子及びその製造方法を提供することを目的とする。

【解決手段】 MOCVD法などの方法により作製されたIII-V族化合物半導体の表面にフッ素化合物を設け、その後熱処理を施すことによって水素濃度の低減と窒素などの欠損の防止を同時に達成する。また、III-V族化合物半導体の表面にフッ素化合物を設け、レーザ、マイクロ波または電子線を照射し、または、半導体の表面にパラジウムなどの水素吸蔵金属層を形成し、電界を印加しつつ熱処理を施すことにより、水素濃度の低減と窒素等の欠損の防止を同時に達成する。



【特許請求の範囲】

【請求項1】 III-V族化合物半導体層と、前記化合物半導体層の上に設けられたフッ素化合物層と、前記フッ素化合物層の上に設けられた電極と、を備えたことを特徴とする半導体素子。

【請求項2】 前記フッ素化合物は、 $\text{Ca}_x\text{Mg}_{1-x}\text{F}$ ($0 \leq x \leq 1$)、 La F_x 、 Ga F_x または、マグネシウム (Mg)、カルシウム (Ca)、カリウム (K)、亜鉛 (Zn)、すず (Sn)、鉛 (Pb)、ベリリウム (Be)、バリウム (Ba)、ストロンチウム (Sr)、タンゲステン (W)、カドミウム (Cd)、マンガン (Mn)、ニッケル (Ni)、銅 (Cu)、銀 (Ag)、X、XO (Xは希土類元素) から選択された一種以上の元素とフッ素 (F) との化合物であることを特徴とする請求項1記載の半導体素子。

【請求項3】 III-V族化合物半導体層を有する半導体素子の製造方法であって、

III-V族化合物半導体層の表面にフッ素化合物を形成する工程と、 300°C 以上の温度において熱処理を施す工程と、前記III-V族化合物半導体層の上に電極を形成する工程と、

を備えたことを特徴とする半導体素子の製造方法。

【請求項4】 III-V族化合物半導体層を有する半導体素子の製造方法であって、

III-V族化合物半導体層の上に水素吸蔵金属層を形成する工程と、

前記III-V族化合物半導体層に対して 300°C 以上の温度において前記水素吸蔵金属層の電位が負となるように連続的またはパルス的に電界を印加しつつ熱処理を施す工程と、

を備えたことを特徴とする半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体素子及びその製造方法に関し、特に、気相成長法により基板上に成長させたp型III-V族化合物半導体のキャリア密度を高くしてオーミック接触を確保し、且つ結晶欠陥を減少させた半導体素子及びその製造方法に関する。

【0002】

【従来の技術】 近年、種々のIII-V族系化合物半導体を用いた半導体素子が開発され、実用化されている。例えば、窒化ガリウム (GaN)、窒化インジウム・ガリウム (InGaN)、窒化アルミニウム・ガリウム (AlGaN)、窒化インジウム・アルミニウム・ガリウム (InAlGaN)などの窒化物半導体は、青色半導体レーザの材料として注目されている。窒化物半導体による発光デバイスは、光ディスクなど高密度情報処理用の光源として期待されている。

【0003】

【発明が解決しようとする課題】 しかしながら、III-V族化合物半導体、特に窒化物半導体においては、p型半導体のキャリア密度を高くすることが難しく、この結果として窒化物半導体を用いた発光デバイスにおいては動作電圧が高くなり、特にp側コンタクトにおいて熱が発生し、信頼性を下げる要因となっている。以下、この問題について詳述する。

【0004】 従来、低抵抗のp型の窒化物半導体を得るために、p型不純物がドープされた窒化物半導体を窒素中でアニールする必要があった。すなわち、MOCVD (Metal-organic Chemical Vapor Deposition) 法により窒化物半導体を成長した直後、いわゆるas-grownの状態ではp型GaNのキャリア密度は低く、成長後に窒素 (N_2) 箔囲気等の水素 (H) を含まない窒囲気中において 400°C 以上でアニールし、窒化物半導体中から水素 (H) を取り除く必要があった。

【0005】 このようなアニール処理により、半導体中の水素濃度が減少して水素によるp型ドーパントのバックシェーブン (不活性化) が抑制されて半導体の電気抵抗が減少する。その結果として、窒化物半導体を用いた発光デバイスなどの動作電圧を下げることが可能になった。

【0006】 しかし薄膜からアニール処理によって水素を除去するために現実には 700°C 以上という高温で少なくとも10分以上保持する必要があるため、水素だけでなく窒化物半導体を構成する基本元素である窒素 (N) も表面から脱離する。その結果として、半導体中に窒素の欠損がより多く生ずる。また、ガリウム (Ga) などのIII族元素の欠損も同様に増加する。このようなV族元素の窒素またはIII族元素の欠損は、非発光再結合中心となりやすく、キャリアが消滅するかまたは深い単位に捕捉されるためにキャリア密度を増加することが難しくなるという問題を有する。

【0007】 さらに、欠損が生じると、結晶中のIII族元素を置換してアクセプタとして作用していたマグネシウム (Mg)、カルシウム (Ca) 等のp型ドーパントが窒素欠損サイトへ移動して、アクセプタとしての作用が消失するとともに、非発光再結合中心を形成するという問題もあった。

【0008】 また、窒素やガリウムの欠損は、Mgやシリコン (Si) 等のp型ドーパントやn型ドーパント等やインジウム (In) 等の拡散を助長する。その結果として、特に、界面付近において設計と異なる構造となり、特性のずれや劣化を生ずる。

【0009】 以上のような種々の問題から、アニールによって半導体中の水素濃度を下げても、p型キャリア密度を実用に供するほど十分に高くすることは困難であった。また、このようなアニール処理を施した光デバイスでは、活性層の非発光再結合確率が大きいため、発光効

率が著しく低い。さらに、このアニール処理を施した光デバイスでは、p側電極と接するp型コンタクト層において空乏層が大きく、p型半導体層のシート抵抗が大きいため、デバイスの動作電圧が大きく信頼性も低かった。すなわち、従来のアニール方法によっては、発光デバイスなどへの実用に供する低きい値、低電圧で動作し、高信頼性を持つ半導体素子を実現することは困難であった。

【0010】このように従来、窒化物半導体において低抵抗のp型を得るために、水素を除去するために窒素中に700°C以上でアニール処理する必要があったが、アニールによって窒素等の元素が脱離して薄膜中に欠損が形成されやすくなり、Mgが拡散して欠損したサイトに捕捉されアクセプタとしての作用が失われるため、キャリア密度を高くすることが困難であり、窒化物半導体を用いた光デバイス等においては、高抵抗かつ高動作電圧の素子しか得られていないのが現状であった。

【0011】また、上述した種々の問題点は、窒化物半導体に限らず、GaAs系やInP系などの種々のIII-V族化合物半導体においても同様に生じていた。

【0012】本発明は、上記した課題の認識に基づいてなされたものであり、その目的とするところは、GaNなどの各種のIII-V族化合物半導体において、含有する水素の濃度を低減し、インジウムやガリウムなどのII族元素や、窒素などのV族元素の欠損を低減し、高いキャリア密度を有し、p側電極との間で低い接触抵抗を有し、高信頼性を持つ半導体素子及びその製造方法を提供することにある。

【0013】なお、本願において「窒化物半導体」とは、 $B_xI_nA_1-Ga_{(1-x-y)}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$, $0 \leq x+y+z \leq 1$) のIII-V族化合物半導体を含み、さらに、V族元素としては、Nに加えてまたはNに代えてリン(P)や砒素(As)などを含有する混晶も含むものとする。

【0014】

【課題を解決するための手段】上記目的を達成するため、本発明によれば、MOCVD法などの方法により作製されたIII-V族化合物半導体の表面にフッ素化合物を設け、その後熱処理を施すことによって水素濃度の低減と窒素などの欠損の防止を同時に達成することを特徴とする。

【0015】また本発明によれば、III-V族化合物半導体の表面にフッ素化合物を設け、レーザ、マイクロ波または電子線を照射し、または、III-V族化合物半導体の表面にパラジウムなどの水素吸蔵金属層を形成し、電界を印加しつつ熱処理を施すことにより、水素濃度の低減と窒素等の欠損の防止を同時に達成することを特徴とする。

【0016】ここで、本発明の望ましい実施形態としては次のものがあげられる。

【0017】(1) 上記III-V族化合物半導体は、窒化物半導体であること。

【0018】(2) 上記フッ素化合物は、Ca, Mg, ..., F, ($0 \leq x \leq 1$)、またはLaF_x, GaF_x、または、マグネシウム(Mg)、カルシウム(Ca)、カリウム(K)、亜鉛(Zn)、すず(Sn)、鉛(Pb)、ベリリウム(Be)、バリウム(Ba)、ストロンチウム(Sr)、タンゲステン(W)、カドミウム(Cd)、マンガン(Mn)、ニッケル(Ni)、銅(Cu)、銀(Ag)、X, XO (Xは希土類元素)から選択された一種以上の元素を含有するフッ素化合物であること。

【0019】(3) 前記フッ素化合物が形成された状態で、III-V族化合物半導体全体が300°C以上の温度で熱処理されること。

【0020】(4) 前記熱処理の後に、酸またはアルカリによりフッ素化合物を除去すること。

【0021】(5) 前記熱処理とともにレーザ光、マイクロ波、または電子線による照射が行われること。

【0022】(6) 前記III-V族化合物半導体の表面にパラジウムなどの水素吸蔵金属を設け、連続的またはパルス的に電界を印加しつつ熱処理を行うこと。

【0023】(7) コンタクト層となるIII-V族化合物半導体と電極との間にフッ素化合物を設けること。

【0024】(8) 前記コンタクト層はp型であり、前記フッ素化合物にはMg, Ca, Znが添加されていること。

【0025】(9) 前記コンタクト層と前記フッ素化合物層との間に、Mg, Ca, Zn, Ni等の金属が過剰に含まれているIII-V族化合物半導体が設けられていること。

【0026】(10) 前記コンタクト層と電極との間に、前記フッ素化合物とドーパントとなる金属との積層構造またはこれらを交互に積層した人工超格子構造を設けること。

【0027】

【発明の実施の形態】以下、図面を参照しつつ本発明の実施の形態について説明する。

【0028】(第1の実施形態) 図1は、本発明の第1の実施形態に係る半導体素子の構造を示す概略断面図である。すなわち、同図の半導体素子は、窒化物半導体を用いた発光素子であり、n型GaN基板10の上に、n型AlGaNクラッド層12、InGaN活性層13、p型AlGaNクラッド層14、p型GaNコンタクト層15がこの順に積層されている。また、基板10の裏面側には、n型GaNコンタクト層11が積層されている。

【0029】さらに、p型コンタクト層15の上にp側電極17が設けられ、n型コンタクト層11の裏面側にはn側電極18が設けられている。これらの半導体素子

の製造方法について以下に概説する。

【0030】図2は、本発明の半導体素子の製造方法を表す概略工程断面図である。本発明の半導体素子は、例えば有機金属気相成長法(MOCVD法)により製造される。III族元素の原料となる有機金属材料としては、トリメチルガリウム(TMГ)、トリメチルインジウム(TMI)、トリメチルアルミニウム(TMA)などを用いることができる。また、V族元素の原料としてアンモニア(NH₃)、p型ドーパントとしてはビスシクロペニタジエニルマグネシウム(Cp₂Mg) n型ドーパントとしてはシラン(SiH₄)をそれぞれ用い、キャリアガスとして水素(H₂)と窒素(N₂)を用いることができる。

【0031】まず、図2(a)に示したように、各半導体層を成長する。具体的には、GaN基板10を洗浄し、MOCVD装置の反応容器内のサセプタ上に配置する。そして、上記の原料及びキャリアガスを用いて窒化物半導体の各層11～15を成長する。

【0032】次に、図2(b)に示したように、フッ素化合物層16を形成する。具体的には、半導体層の成長後、冷却して、ウェーハをMOCVD装置から取り出してスパッタ装置中に格納する。そして、スパッタ装置により、例えばフッ化マグネシウム(MgF₂)を10nm程度の厚さに堆積する。その後、スパッタ装置よりウェーハを取り出してアニーリング装置内に配置し、窒素雰囲気中で熱処理を施し、その後冷却する。本発明における熱処理の温度としては、300°C以上であることが望ましい。これ以上の温度では、水素が半導体中を比較的自由に拡散することができるからである。

【0033】本発明によれば、熱処理の温度を、従来のp型ドーパント活性化のためのアニール条件である約770°C、約30分間と比較して著しく軽減することができる。

【0034】熱処理後のウェーハについて、SIMS (secondary ion mass spectroscopy: 2次イオン質量分析法)を用いてp型コンタクト層15の表面付近の水素(H)の濃度を測定したところ、半導体層内の水素濃度は $1 \times 10^{17} \text{ cm}^{-3}$ であり、またキャリア密度は $1 \times 10^{17} \text{ cm}^{-3}$ であった。一方、従来のアニール方法による場合の水素濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ であり、またキャリア密度は $1 \times 10^{18} \text{ cm}^{-3}$ であった。つまり、本発明によれば、従来よりも半導体層中の水素濃度を1/10に低減し、キャリア濃度を10倍に高めることができる。また、マグネシウム(Mg)ドープされたGaNコンタクト層15の電気抵抗率を測定したところ、 $1 \Omega \text{ cm}$ 以下であった。

【0035】なお、フッ素化合物MgF₂の厚さを0.2μm以上とすると、アニールをしても半導体表面の電気抵抗を下げることができなかった。水素が薄膜から抜けにくくなつたためと考えられる。また、MgF₂の厚

さを1nm以下になるとアニール後の表面の電気抵抗は下がったが、水素だけでなく窒素も半導体表面から脱離し、GaN系薄膜表面の欠損が多くなった。よって望ましい厚さは1nmから0.2μm程度であると考えられる。

【0036】また、フッ素化合物の表面の形状は、平坦であるよりもむしろ凹凸が多い方が望ましい。これは、表面積を増やして水素を抜けやすくするためである。凹凸のある表面を作成する方法としては、例えばMgF₂を1μm程度の厚さで表面に設けた後に、HF等の酸またはアルカリに1～2時間程度浸しておけば良い。

【0037】次に、図2(c)に示したように、フッ素化合物層16を除去する。

【0038】そして、図2(d)に示したように、p側電極17とn側電極18を形成する。

【0039】このようにしてそれぞれの電極を設けたところ、極めて良好なオーミック特性が得られた。

【0040】上記フッ素化合物層16の膜厚が薄い場合は、p側電極17とn側電極18をそれぞれフッ素化合物層16の上に形成しても、良好なオーミック特性が得られる。この構成については、第4実施形態に関して後に詳述する。

【0041】しかし、フッ素化合物層16が厚い場合は、その上に電極を形成するとオーミック特性が得られなくなる場合もある。このために、図2(c)に示したように、フッ素化合物層16を除去する。除去する方法としては、図2(b)に関して前述したアニール温度よりも高い温度に昇温してフッ素化合物を分解し、フッ素を蒸発させる方法を挙げることができる。この方法によれば、半導体層の表面にp型ドーパントであるマグネシウム(Mg)が残るため、この上に電極17、18を形成すれば良好なオーミック特性を得ることができる。

【0042】また、フッ素化合物を除去するための別の方法としては、酸またはアルカリ(NaOHなど)のエッチャントによりフッ素化合物を直接洗い流す方法でも良い。

【0043】本発明によれば、フッ素化合物層16を半導体の表面に堆積してアニールを施すことにより、半導体中の水素濃度を効果的に低下させ、キャリア濃度を顕著に増加することができる。このように、フッ素化合物層16を設けることにより半導体層中の水素濃度が顕著に低減し、さらに、窒素などの基本元素の欠損も抑制される理由としては、以下のものが考えられる。

【0044】まず、フッ素化合物層16の存在によって、半導体層の表面のポテンシャルが低下することが考えられる。すなわち、半導体層中に含有される水素は、約300～350°C以上の温度においては、III-V族化合物半導体層の内部において比較的活発に拡散移動することができるが、半導体層の表面や界面などには表面ポテンシャルが形成されており、水素が外部に脱離する

際の障壁として作用する。これに対して、本発明によれば、半導体層の表面にフッ素化合物層16を形成することにより、半導体層の表面ポテンシャルが低下し、水素が外部に脱離しやすくなることが考えられる。

【0045】また、フッ素化合物層16の存在によって、半導体層中の水素原子(H)が水素分子(H₂)に結合しやすくなることが考えられる。すなわち、半導体層の内部においては、水素は単原子として存在し、拡散移動することができるが、半導体層の外部に脱離する際には、水素分子(H₂)となる必要がある。ここで、フッ素化合物は、この水素の結合反応を促進する触媒的な作用をすることが考えられる。

【0046】さらに、フッ素化合物層16の存在によって、半導体層の構成元素である窒素(N)などの元素の欠損が抑制されることが考えられる。すなわち、従来のアニール方法においては、アニールによって水素とともに窒素などの構成元素も脱離して欠損を生じていた。これに対して、本発明においては、フッ素化合物層16を設けることによって、水素の脱離は促進され、一方、窒素(N)などの構成元素の脱離は抑制されることが推測される。つまり、本発明において用いるフッ素化合物層16は、半導体層から水素のみを優先的に放出させ、その他の元素の脱離は抑止するフィルタ的な作用を有することが推測される。

【0047】以上詳述したようなメカニズムにより、本発明によれば、フッ素化合物を窒化物半導体の上に設けてからアニールすることによって、半導体層中の水素濃度を顯著に低減できる。また、アニール温度も、従来よりも低温にすることができます。さらに、窒化物半導体中の窒素欠損が従来のアニール方法と比較して極めて少なく、最表面層におけるp型キャリアの密度を非常に高くすることができます。

【0048】本発明により光半導体素子を作る場合には、非発光再結合中心などの欠陥が少ないため、低電圧動作するだけでなく、発光強度が従来の5倍程度まで強くなり、しかも、信頼性が非常に高くなる。

【0049】なお、本実施形態においては、「フッ素化合物」の具体例としてMgF_xを例示したが、その他にも、Ca_xMg_{1-x}F_y(0≤x≤1)、または、マグネシウム(Mg)、カルシウム(Ca)、カリウム(K)、亜鉛(Zn)、すず(Sn)、鉛(Pb)、ベリリウム(Be)、バリウム(Ba)、ストロンチウム(Sr)、タンクステン(W)、ランタン(La)、カドミウム(Cd)、マンガン(Mn)、ニッケル(Ni)、銅(Cu)、銀(Ag)、X、XO(Xは希土類元素)から選択された一種以上の元素を含有するフッ素化合物でも良い。また、フッ化物よりも効果は低下するが、上述の元素から選択された1種類以上の元素を含有する窒化物でも良い。

【0050】具体的には、例えば、CaF₂、GaF₃、

MnF₃、LaF₃、BeF₂、SrF₂、BaF₂、XF₃、XOF、CdF₂、ZnF₂、KCuF₃、K₂NiF₆、K₂CuF₃、K₂NiF₄、AgF(ここで、Xは希土類元素を表す)などの金属フッ化物や、Ca₂N、BN、SrN、Ba₂N₂、Zn₂N₂、AlN、LaN、XN(Xは希土類元素)、TiN、Ti₂N、VN、WN、Mn₂N₂などの金属窒化物や、これらの任意の組み合わせであっても同様の効果を得ることができる。また、その他にも、有機系フッ化物やフッ化物樹脂でも良い。

【0051】また、本実施形態においてはGaN基板を用いた場合を例示したため、窒素欠損を防ぐために基板をはさんで両方の面にフッ素化合物層16を形成することとした。しかし、基板をサファイア基板とする場合は、サファイアが絶縁体であることから、片側のみにフッ素化合物を形成すれば十分である。

【0052】なお、フッ素化合物層16に含まれていたフッ素(F)は、半導体層の内部に拡散する場合もある。本発明者がSIMSにより分析した結果においても、コンタクト層11、15の内部において、有意量のフッ素が検出された場合がある。しかし、これらのフッ素は不活性であり、半導体素子の特性に何ら影響を及ぼすこととはなかった。

【0053】(第2の実施形態)前述した第1実施形態においては、窒化物半導体層の上にスパッタ装置を用いてフッ素化合物層16を積層し、750℃においてアニールした。これに対して、本実施形態においては、このアニールの代わりに、半導体層にレーザ光やマイクロ波あるいは電子線を照射する。

【0054】図3は、本実施形態に係る半導体素子の製造方法を説明するための概念図である。同図において、21はレーザ、マイクロ波または電子線などの光源、22は集束及び走査手段、23は入射窓部、24は処理室、25は処理するウェーハ、26はウェーハステージをそれぞれ表す。ここで、ウェーハ25は、図2(b)に例示したように、半導体層の表面にフッ素化合物層16が形成されたものを表す。以下の説明では、図2(b)に示した構造のものを例に挙げる。

【0055】光源21から放出されるレーザ光を用いる場合の波長としては、まず、マグネシウム(Mg)と水素との複合物を分解するために必要な活性化エネルギー(約2.2eV)に相当する波長を挙げることができ。つまり、p型コンタクト層15のドーパントであるMgから水素を分離することにより、アクセプタとして活性化させる。

【0056】本発明者の実験によれば、200mW/cm²の照射密度で約10分間の光照射を行ったところ、ウェーハ25のp型コンタクト層15の水素濃度を第1実施形態よりもさらに低下させ、5×10¹⁴cm⁻³とすることことができた。この結果として、p型キャリア密度を

第1実施形態よりもさらにより高くすることが可能となり、 $5 \times 10^{17} \text{ cm}^{-3}$ とすることことができた。

【0057】一方、光源21から、レーザ光の代わりに、半導体層中に含有される水素-窒素結合(H-N)のストレッチモードの振動数 $\nu = (3400 \pm 100) \text{ cm}^{-1}$ 、すなわち波長約3μmのマイクロ波(電磁波)を照射しても、レーザ光照射と同様な効果を得ることができる。つまり、半導体層においてV族元素である窒素と結合している水素を分離して脱離を促進することができる。このようにして水素と窒素とを分子することにより、半導体中の窒素がV族元素としての格子位置に戻り、窒素欠損を減少することができる。その結果として、非発光再結合中心の密度が低減し、半導体発光素子の発光効率が顕著に改善する。

【0058】さらに、光源21から電子線を照射してもレーザ光やマイクロ波と同様の効果を得ることができ。すなわち、電子線を照射することにより、ドーバントと水素との結合や、水素とV族元素との結合を分離することができ、水素の脱離を促進することができる。

【0059】なお、上述したレーザ光、マイクロ波あるいは電子線の照射に際しては、適度に昇温してアニールを併用するとさらに効果的であることは勿論である。さらに、レーザ光とマイクロ波と電子線とを適宜組み合わせて照射しても良い。

【0060】これらの照射の後は、図2に関して前述したような工程により、半導体素子を製造することができる。

【0061】以上のようにして得られた半導体薄膜はキャリア密度が高く、また電極を設けたとき良好なオーム特性が得られる。またこれを用いて発光素子を作製すると、発光層の欠損が少ないため非発光再結合確率が減少し、発光効率が極めて高い素子が得られる。

【0062】(第3の実施形態)図4は、本発明の第3の実施形態に係わる半導体素子の製造方法を表す概念図である。前述した第1実施形態においては、図2(b)に示したように窒化物半導体上にスパッタ装置を用いてフッ素化合物層16を積層した。本実施形態においては、このフッ素化合物層16の上にさらに、パラジウムなどの水素吸蔵金属層41を堆積し、電圧を印加する。

【0063】図4においては、ウェーハ40としてn型GaN層41、n型AlGaNクラッド層42、InGaN活性層43、p型AlGaNクラッド層44、p型GaNコンタクト層45が積層されたものを例示した。p型コンタクト層45の表面には、フッ素化合物層16として例えばMgF_xが約10nm積層されている。さらに、このフッ素化合物層16の上にパラジウム膜46が約0.1μmの厚さに堆積されている。パラジウム膜46は、例えば、スパッタ法や電子ビーム蒸着法などの方法により堆積することができる。

【0064】一方、パラジウム膜が形成された場所と反

対側のn側GaN層41にも電極47を設ける。そして、電極47に正の電圧をかけながら400°Cにおいて熱処理アニールを行う。電極47に印加する電圧は、例えば、パラジウム膜46に対して+20V程度とすることができる。電圧は、パルス的に印加しても良い。

【0065】このように電圧を印加するのは、半導体層に含有されるプロトン(H⁺)状の水素を電界によりパラジウム膜46の方向に引き寄せるためである。パラジウム膜46に至ったプロトンは、パラジウムの膜内に吸蔵される。この工程におけるアニールの温度としては、300°C以上であることが望ましい。この温度以上では、半導体層中をプロトン(H⁺)が比較的自由に拡散できるからである。

【0066】また、p型コンタクト層45とパラジウム膜46との間にフッ素化合物層16を設けることにより、第1実施形態に関して前述したように、コンタクト層45の表面ボテンシャルを下げてプロトン(H⁺)をパラジウム膜46に向けて放出させやすくできる。ただし、フッ素化合物層16を設けずに、コンタクト層45の表面にパラジウム膜46を直接設けても良い。

【0067】本発明者の実験によれば、図4の構成で電圧を印加してアニール後、コンタクト層45に含有される水素濃度をSIMSにより調べたところ、 $5 \times 10^{16} \text{ cm}^{-3}$ であり、前述した第1実施形態よりもさらに下げられることができた。また、p型キャリアの密度も $5 \times 10^{17} \text{ cm}^{-3}$ と、第1実施形態よりも高くすることができた。

【0068】一方、フッ素化合物層16を設けずに、コンタクト層45の表面にパラジウム膜46を直接設けた試料について同様に電圧を印加してアニール後、コンタクト層45に含有される水素濃度をSIMSにより調べたところ、 $1 \times 10^{17} \text{ cm}^{-3}$ であり、前述した第1実施形態と同等の濃度まで下げられることがわかった。また、p型キャリアの密度も $1 \times 10^{17} \text{ cm}^{-3}$ と、第1実施形態と同等に高くすることができた。

【0069】以上のようにして得た窒化物半導体はキャリア密度が高く、また電極を設けたとき良好なオーム特性が得られる。またこれを用いて発光素子を作製すると、発光層の欠損が少ないため非発光再結合確率が減少し、発光効率が極めて高い素子が得られる。

【0070】なお、上述した具体例においては、水素吸蔵金属層46の材料としてパラジウムを用いたが、これ以外にも、例えば、ジルコニウム(Zr)系水素吸蔵合金、ハフニウム(Hf)系水素吸蔵合金、希土類系水素吸蔵合金、またはイットリウム(Y)系水素吸蔵合金、またはNi合金などを用いても同様の効果を得ることができる。

【0071】ジルコニウム(Zr)系水素吸蔵合金としては、例えば、Zr-V、Zr-Cr、Zr-Fe-V、Zr-Ti-Fe、Zr-Co、Zr-Cuなどを

挙げることができる。

【0072】ハフニウム(Hf)系水素吸蔵合金としては、例えば、Hf-Mn、Hf-Fe、Hf-Co、Hf-Ni、Hf-Cu、Hf-Rhなどを挙げることができる。

【0073】希土類系水素吸蔵合金としては、例えば、Th-Al、U-Fe、Ce-Co、Ce-Niなどを挙げることができる。

【0074】イットリウム(Y)系水素吸蔵合金としては、例えば、Y-Feを挙げることができる。

【0075】(第4の実施形態)図5～図7は、いずれも本発明の第4の実施形態に係わる半導体素子を表す概略断面図である。すなわち、これらの図面に例示した半導体素子は、サファイア基板の上に形成した半導体レーザであり、サファイア基板51の上に、n型GaNコンタクト層52、n型AlGaNクラッド層53、n型GaNガイド層54、InGaN活性層55、p型GaNガイド層56、p型AlGaNクラッド層57、p型GaN層58、p'型GaNコンタクト層59がこの順に積層された構成を有する。ここで、活性層55は、組成の異なる2種類のInGaN層を交互に積層した多重量子井戸(multiple-quantum well: MQW)型構造としても良い。

【0076】さらに、図5の半導体素子においては、コンタクト層59の上に、MgF₂からなるフッ素化合物層61が積層されている。そして、p側電極65とn側電極66とがそれぞれ形成されている。このようにフッ素化合物層61を設けてアニールすることにより、第1実施形態に関して前述したように、水素の放出を促進し、窒素などの欠損を抑制することができる。さらに、本実施形態によれば、フッ素化合物層61を除去せずにコンタクト層59の表面に残すこととしているので、エッチングにより半導体の表面に損傷が加わる心配もない。

【0077】ここで、フッ素化合物層61の膜厚としては、5～500nmの範囲とすることが望ましい。膜厚がこれよりも薄いと水素の放出を促進し、窒素などの主要元素の欠損を抑止する効果が十分でなく、また、膜厚がこれよりも厚いと、電極のオーミックコンタクトが十分に確保できなくなるからである。

【0078】一方、図6の半導体素子においては、コンタクト層59の上に、金属層60、MgF₂からなるフッ素化合物層61が積層されている。そして、p側電極65とn側電極66とがそれぞれ形成されている。ここで、金属層60の材料としては、例えば、マグネシウム(Mg)、カルシウム(Ca)、亜鉛(Zn)などを用いることができる。また、その膜厚は、100nm程度とすることができます。また、フッ素化合物層61の材料としてはMgF₂などを用いることができる。

【0079】金属層60は、フッ素化合物層61を低抵

抗化するドーパントとしての作用を有する。すなわち、バルクでは絶縁体となるようなフッ素化合物を用いる場合でも、フッ素化合物にマグネシウム(Mg)、カルシウム(Ca)、亜鉛(Zn)などを金属元素をドーピングしてp型化することによって、コンタクト抵抗を低減することができる。さらに、コンタクト層59の表面付近のキャリア濃度を高くしてオーミック接触を容易にする効果も有する。

【0080】一方、図7の半導体素子においては、コンタクト層59の上に、金属層とフッ素化合物層とを交互に積層した超格子層62が設けられている。ここで、金属層としては、例えば、マグネシウム(Mg)、カルシウム(Ca)、亜鉛(Zn)などを用いることができ、フッ素化合物層としては、例えばMgF₂を用いることができる。このように超格子層を形成することにより、フッ素化合物層をp型化してコンタクト抵抗をさらに低減することができる。また、超格子構造とした場合は、半導体素子に通電を行った場合にコンタクト層の劣化速度が低減されるという効果も得られる。

【0081】図5～図7に例示した半導体素子は、いずれもフッ素化合物層を堆積した状態で約800°Cにおいてアニールを行い、水素を放出させてキャリアを活性化させる。このようにして得た半導体素子は、いずれの場合も、p型コンタクト層59におけるp型キャリア密度が $5 \times 10^{17} \text{ cm}^{-3}$ 以上である。アニール工程の後、電極を設けて光半導体素子を形成すると、高発光効率、低動作電圧、且つ高信頼性を示す素子を得ることができる。

【0082】(第5の実施形態)図8は、本発明の第5の実施形態に係わる半導体素子の製造方法を表す概念図である。

【0083】本実施形態においては、半導体の表面にMgF₂などのフッ素化合物を5nm程度の膜厚で堆積したのち、その表面をレーザ光により所望のパターンに描画する。すなわち、同図に表したように、レーザ光源81から放出されるレーザ光は、ミラー82と光学系83とにより適宜収束・走査されてウェーハ84の表面に照射される。ここでウェーハ84は、半導体の表面にフッ素化合物が堆積された構成を有する。ここで用いるレーザの波長やビーム強度については、第2実施形態に関して前述したものと同様とすることができる。また、ビームの照射に伴って、ウェーハステージ85を介してウェーハ84を加熱しても良い。

【0084】所定のパターン形状にレーザ光を照射した後に、ウェーハ表面のフッ素化合物を適宜除去する。そして、この表面に白金(Pt)、チタン(Ti)、金(Au)などからなる電極を設ける。ただし、第4実施形態に関して前述したように、フッ素化合物はウェーハ表面から除去せずに残しても良い。また、図6に例示したようにフッ素化合物と半導体層との間にドーパントと

なる金属層を設けても良い。あるいは、図7に例示したように、フッ素化合物層と金属層とを超格子構造としても良い。

【0085】本実施形態によれば、レーザ光が照射された部分においてのみ良好なオーミックコンタクトが得られるため、化合物半導体薄膜上に回路パターンを正確且つ容易に形成することが可能になる。また、図8においては、レーザ光を照射する例を示したが、これ以外にも、第2実施形態に関して前述したように電子線を照射しても良い。電子線の場合には、レーザ光よりもよりビーム径を集束して精密に走査することが可能となる。

【0086】以上、具体例を参照しつつ本発明の実施の形態について説明した。しかし、本発明はこれらの具体例に限定されるものではない。例えば、基板として用いることができるものは、前述したGaNやサファイアに限定されず、その他にも、例えば、スピネル、MgO、ScAlMgO₄、LaSrGaO₆、(LaSr)(AlTa)Oなど、の絶縁性基板や、SiC、Si、GaAsなどの導電性基板も同様に用いてそれぞれの効果を得ることができる。ここで、ScAlMgO₄基板の場合には、(0001)面、(LaSr)(AlTa)O₆基板の場合には(111)面を用いることが望ましい。

【0087】また、半導体素子の構造も、前述した発光素子に限定されず、その他にも受光素子、トランジスタ、ダイオードなど各種の光素子または電子素子に同様に適用して同様の効果を得ることができる。

【0088】さらに、本発明は、前述した窒化物半導体に限定されず、その他にもMOCVD法などの気相成長により半導体中に水素が導入され、ドーパントの不活性化が生ずるすべての化合物半導体について同様に適用して同様の効果を得ることができる。このような化合物半導体としては、例えば、GaAs、AlGaAs、InGaAs、InGaAlP、InGaAsP、GaAlP、GaP、InPなどの各種のIII-V族化合物半導体を挙げることができる。

【0089】

【発明の効果】以上詳述したように本発明によれば、窒化物半導体などの各種のIII-V族化合物半導体の表面にフッ素化合物を設け、その後熱処理アニールを行うことによって、低抵抗の半導体を得ることができる。より具体的には、III-V族化合物半導体の表面にフッ化物を設けてアニールすることによって、半導体中の水素濃度が減少し、構成元素の欠損を防止し、その結果従来アニールにより得られたキャリア密度以上のキャリア密度を得ることができ、低抵抗の半導体を得ることが可能となる。

【0090】このような半導体に電極を形成することにより良好なオーミック接触を得ることができる。

【0091】また本発明によれば、III-V族化合物半

導体の表面にフッ素化合物を設け、レーザ光、マイクロ波、または電子線を照射するか、またはIII-V族化合物半導体の表面にパラジウムなどの水素吸蔵金属を設けてそれに負の電圧を印加しながらアニールすることにより、低抵抗のIII-V族化合物半導体からなる半導体素子を得ることが可能となる。

【0092】すなわち、本発明によれば、フッ素化合物を窒化物半導体の上に設けてからアニールすることによって、半導体層中の水素濃度を顕著に低減できる。また、アニール温度も、従来よりも低温にできる。さらに、窒化物半導体中の窒素欠損が従来のアニール方法と比較して極めて少なく、最表面層におけるp型キャリアの密度を非常に高くすることができる。

【0093】本発明により光半導体素子を作る場合には、非発光再結合中心などの欠陥が少ないため、低電圧動作するだけでなく、発光強度が従来の5倍程度まで強くなり、しかも、信頼性が非常に高くなる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係わる半導体素子の構造を示す概略断面図である。

【図2】本発明の半導体素子の製造方法を表す概略工程断面図である。

【図3】本実施形態に係わる半導体素子の製造方法を説明するための概念図である。

【図4】本発明の第3の実施形態に係わる半導体素子の製造方法を表す概念図である。

【図5】本発明の第4の実施形態に係わる半導体素子を表す概略断面図である。

【図6】本発明の第4の実施形態に係わる半導体素子を表す概略断面図である。

【図7】本発明の第4の実施形態に係わる半導体素子を表す概略断面図である。

【図8】本発明の第5の実施形態に係わる半導体素子の製造方法を表す概念図である。

【符号の説明】

10 GaN基板(n型GaN)

11、52 n型GaNコンタクト層

12、42、53 n型AlGaNクラッド層

13、43、55 InGaN-MQW活性層

40 14、44、57 p型AlGaNクラッド層

15、45、59 p型GaNコンタクト層

16 フッ素化合物(MgCaF₂)

17、65 p型電極(Pd合金、またはPt、Ti、Au合金)

18、66 n型電極(Al、Ti、Au合金)

21 レーザ装置

22 レンズ

23 窓

24 处理室

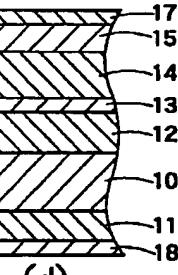
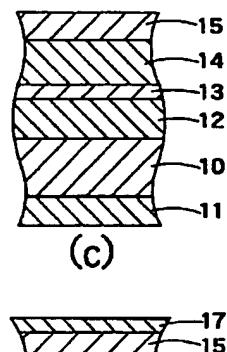
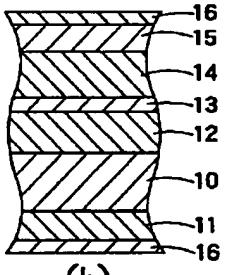
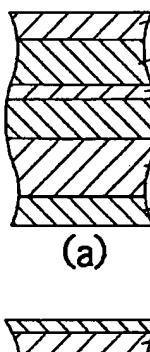
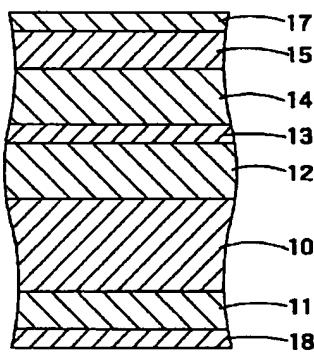
50 25 ウェーハ

26 ウェーハステージ
 41 n型GaN層
 46 水素吸蔵金属層
 51 サファイア基板
 54、56 GaNガイド層
 60 金属層
 61 フッ素化合物層

* 62 超格子
 81 光源
 82 ミラー
 83 レンズ
 84 ウェーハ
 85 ウェーハステージ

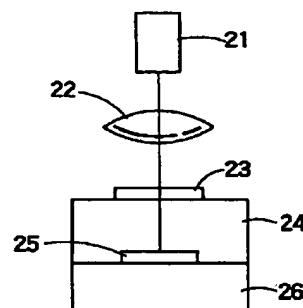
*

【図1】

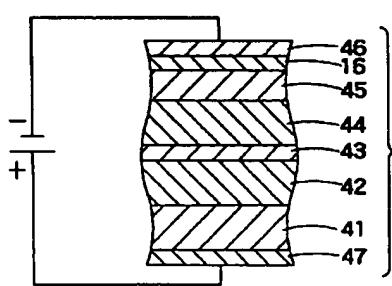


【図2】

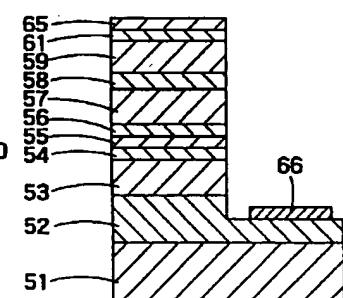
【図3】



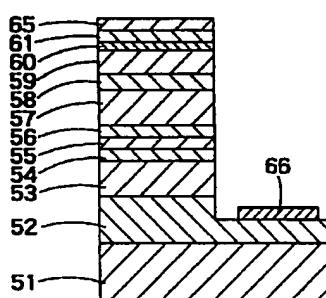
【図4】



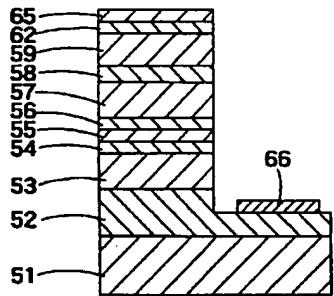
【図5】



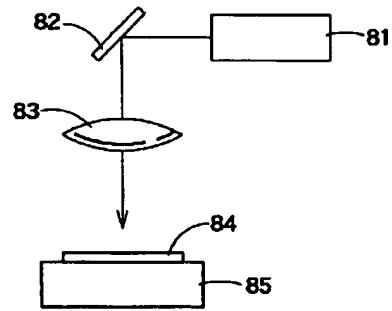
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 斎藤真司
神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

F ターム(参考) 5F041 AA21 AA44 CA04 CA05 CA22
CA40 CA65 CA73 CA77 CA99
5F073 AA45 AA51 AA74 CA07 CB19
DA05 DA16 DA17 DA30 DA35
EA29